

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-063319

(43)Date of publication of application : 20.03.1987

(51)Int.Cl.

G05F 1/10
H03F 3/45
// H02M 3/155

(21)Application number : 60-202932

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 13.09.1985

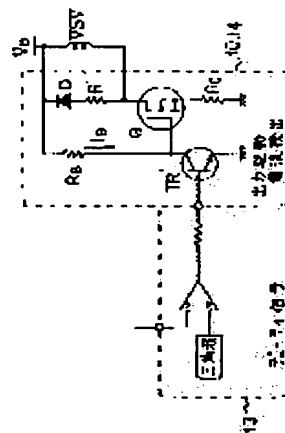
(72)Inventor : YOKOYAMA TATSUO

(54) CIRCUIT FOR DETECTING CURRENT OF INDUCTIVE LOAD

(57)Abstract:

PURPOSE: To accurately detect a load current when a FET is turned on even if a supply voltage fluctuates, by using the FET as the element which supplies electricity to an inductive load.

CONSTITUTION: The current detecting circuit of this invention is provided with an output driving circuit 14 which uses a power MOS FET Q at its final stage, a current detecting circuit 10, and a circuit 13 provided before the circuit 10. Since an electric current I_B does not flow to a resistance R_0 when an FET is used for the transistor Q of the final stage, the detecting accuracy of a load current I_L when the transistor Q is turned on is improved. Moreover, since the on-resistance (R_{DS}) of the transistor Q is several Ω or less, the electric power consumption ($R_{DS} \times I_L$) is small. Moreover, since the switching time is shorter than that of a bipolar transistor by one digit or more, the loss of turning on and turning off can practically be ignored. Since several 100mW is sufficient to the resistance R_B , the electric power consumption is small. In addition, since the electric current I_B does not flow to the source side of the transistor Q, the current detecting value (by means of the resistance R_0) when the transistor Q is turned on does not receive any influences from a battery voltage V_B and, therefore, the detecting value is stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-63319

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月20日

G 05 F 1/10
H 03 F 3/45
// H 02 M 3/155

3 0 1

B-7319-5H
Z-6628-5J
7829-5H

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 誘導性負荷の電流検出回路

⑯ 特 願 昭60-202932

⑰ 出 願 昭60(1985)9月13日

⑱ 発 明 者 横 山 達 夫 神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社
内

⑲ 出 願 人 富士通テン株式会社 神戸市兵庫区御所通1丁目2番28号

⑳ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

誘導性負荷の電流検出回路

2. 特許請求の範囲

誘導性負荷を駆動する素子に電界効果トランジスタを使用し、該トランジスタのソース側にオン時の電流検出抵抗を、またドレイン側にオフ時の電流を流す抵抗を該負荷と並列に接続し、両抵抗に発生する電圧を共通の非反転増幅器あるいは差動増幅器で増幅するようにしてなることを特徴とする誘導性負荷の電流検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、誘導性負荷に流れる電流を検出する回路に関する。

(従来の技術)

自動車の排気ガス規制と燃費や運転性の改善のために、空燃比フィードバック補正システムが採用される。第4図はその一例で、1はエアクリーナ、2は燃料タンク、3はスロットル、4は吸気

マニホールド、5はシリンダ、6は空燃比制御用の電磁弁ソレノイド(VSV)である。吸気マニホールド4内は空気Aと燃料Fの混合気(A+F)で、A/Fが空燃比となる。空気Aにはエアクリーナ1からスロットル3を経由して吸気マニホールド4に入る1次空気A₁と、VSV6を通過して吸気マニホールド4に入る2次空気A₂とがあり、1次空気A₁だけでは13.0~13.5程度となる基本空燃比を、2次空気A₂を加えて14.0~15.5程度に補正する。

2次空気A₂の量はVSV6の開度で制御される。VSV6は誘導性負荷であり、そこにパルス状の電流を流すことでデューティ制御できる。第5図はその説明図で、(a)は駆動回路、(b)は動作波形である。(a)の波形は周期T一定のパルス列で、そのデューティが変化する。これを(b)の回路のトランジスタTRのベースに入力すると、そのスイッチング動作の結果VSVには同図(b)に示す実線波形の電流I_Lが流れる。破線は平均値である。VSVの開度はこの通電電流I_Lに比例し、こ

れに2次空気A₁の量が比例するので、最終的に空燃比A/Fが制御される。

ところで、通電電流 I_L は電源電圧 V_B （バッテリー）の変動や、VSVコイルの直流抵抗のパラツキ或いは温度変化に左右されるので、その値を検出して希望値に保つ制御が必要となる。また、VSVを定電流駆動する場合、その機械的な摩擦によるヒステリシス特性を改善する必要がある。つまり、トランジスタTRのスイッチング周波数 $F (= 1/T)$ を固定してパルス幅を連続的に変化させると、VSVのコイル（インダクタンス L 、抵抗 R ）の時定数 L/R によって通電電流 I_L が決定される。 I_L は脈流値 ΔI_L を持ち、その平均値（破線で示す）が弁開度（ストローク量）を決定する。ところが、 I_L の増加時と減少時では同じ電流値でもストローク量に差が出る。これを示したのが第6図(a)のヒステリシス特性（実線）である。

このヒステリシスを改善して第6図(a)の破線のようにする1つの方法は、同図(b)に示すディザ信

号を重ねることである。この方法は本来のスイッチング周波数 $F = 1/T$ だけでなく、それより低い周波数 $f = 1/t$ によって2重に制御するので、回路構成が複雑になる。代りに脈流値 ΔI_L を大きくしてもヒステリシスが小さくなる点に着目し、最近では同図(b)のようにトランジスタTRオフ時の時定数 $L/(R+R')$ を小さくするように抵抗 R' を用いる方法がある。この方法によると、 I_L の波形は(a)(b)のようになる。(a)は拡大図、(b)は縮小図で、(b)の2点鎖線が抵抗 R' を用いた場合である（実際は R' なしの場合）。但し、この方法も温度或いは電源変動等の影響で電流が変化する。

第7図は以上の諸点を解決した定電流型駆動回路で、(a)はブロック図、(b)は回路図である。電流検出部10は抵抗 R_s を用いてVSVに流れる電流を検出する。増幅器11は抵抗 R_s に発生する電圧値を検出して増幅する。偏差積分器12は増幅器11による検出値と外部からの制御入力との差を出力し、この偏差を基に回路13がデューテ

ィ信号（第5図(c)で示した周期 T 一定の入力）を発生する。出力駆動回路14はこのデューティ信号で動作する回路で、第6図(b)に示したタイプである。

（発明が解決しようとする問題点）

第7図の回路では増幅器11が差動増幅器DIF₁を中心に構成され、抵抗 R_s の電位差を検出する。ところが、この差動増幅型電流検出方式では、①検出抵抗 R_s をあまり大きくできない、②トランジスタTRオフ時のフライバック電圧が大きいため、増幅器の動作電圧範囲を考慮すると増幅度 R_s/R_1 を大きくとれない、③同相電圧（ $-V_B$ ）が差動電圧（ $-$ 検出電圧）より極めて大きいので、使用する抵抗のパラツキが増幅度誤差を左右する（ $R_1 = R_1'$ 、 $R_s = R_s'$ でなければならない）、等の欠点がある。

第8図と第9図は上述した差動増幅型とは異なるタイプの電流検出回路で、第8図は非反転増幅型、第9図は加算増幅型である。第8図の非反転増幅型ではトランジスタTRオフ時のサージ吸収

用にVSVと直列に電流制限抵抗 R_s とゼネラダイオード D_s （動作抵抗値 R_z ）を接続する。この直列抵抗値 $R_s + R_z$ が第7図の R' に相当する。検出抵抗は R_s であり、駆動トランジスタTRはこれと直列に、且つ R_s 、 D_s とは並列に接続される。この方式の欠点は、ダイオード D_s のゼネラ電圧 V_z を $V_z > V_B$ に設定するため、トランジスタTRオフ時の消費電力（ $\propto V_z \times I_L$ ）が大きくなって放熱や信頼性の点で難がある点である。

一方、第9図の加算増幅型はトランジスタTRのオン時は非反転増幅器AMPによる非反転増幅を、またオフ時には差動増幅器DIF₂による差動増幅を行い、両増幅出力を加算器ADDで加算して偏差積分入力とする。この場合、オン時の検出抵抗は R_s であるが、オフ時は R' となる。従って、 $R' > R_s$ に設定できるので、第7図で説明した③の同相電圧問題は生じない。

ところが、実際の出力回路は出力電流を大とするために第10図のように多段構成とする必要が

ある。同図の例はトランジスタ TR' を TR にエミッタ・フォロワ接続したもので、 TR' が TR のベース電流 I_B 供給源となる。このようにすると V_{SV} に流れる電流 I_L も大きくなるが、ベース電流 I_B が検出抵抗 R_0 に流れるので、第8図および第9図の回路ではオン時の I_L の検出誤差となる。このベース電流 I_B は抵抗 R_B で制限できるが、 I_B を小さくするとトランジスタ TR の電流増幅率 h_{FE} が低下するため、そのコレクタ・エミッタ間飽和電圧 $V_{CE(sat)}$ が大きくなり、トランジスタの消費電力($\propto V_{CE(sat)} \times I_L$)が増大する。エミッタ・フォロワ接続の最終段を飽和領域で使用するには $10 \cdot I_B = I_L$ 程度とするのが一般的であるが、これでは I_L の検出に10%の誤差が生ずる。しかも、この条件を大電流領域で満足させると小電流領域の誤差はそれより大になる。また、 $I_B \approx V_B / R_B$ はバッテリー電圧 V_B の変動(10~14V)の影響を受けるので、低電圧でも大電流の定電流制御をするには R_B を小さくしなければならない。しかし、これでは

タ出力でトランジスタ Q を駆動するため、前段回路13の比較器入力+、-を第7図とは逆にしてある。最終段のトランジスタ Q がPBTであると、①電流 I_B は抵抗 R_0 には流れない。このためトランジスタ Q オン時の負荷電流 I_L の検出精度は向上する。②また、トランジスタ Q のオン抵抗(R_{DS})は数 Ω 以下であるので、消費電力($R_{DS} \times I_L$)も小さく、スイッチング時間もバイポーラトランジスタと比べて1桁以上短いので、ターンオン・ターンオフの損失を実用上無視できる。抵抗 R_B も数100mWで十分なので、消費電力が少ない。③さらに、 I_B はトランジスタ Q のソース側へ流れないので、オン時の電流検出値(R_0 による)はバッテリー電圧 V_B の変動の影響を受けない。このため検出値が安定する。

(実施例)

第2図は本発明の一実施例を示す回路図である。本例は差動増幅型の電流検出回路で、その構成は第9図を基本としている。従って、抵抗 R_0 はオン時の負荷電流 I を、また抵抗 R' はオフ時の負

高電圧時に I_B が大きくなるので、 R_B として消費電力($\approx V_B^2 / R_B$)の大きいものを使用しなければならない。

本発明は、上述したベース電流 I_B の影響を除くために出力駆動回路の最終段に電界効果トランジスタを使用し、誘導性負荷電流 I_L を高精度に検出しようとするものである。

(問題点を解決するための手段)

本発明は、誘導性負荷を駆動する素子に電界効果トランジスタを使用し、該トランジスタのソース側にオン時の電流検出抵抗を、またドレイン側にオフ時の電流を流す抵抗を該負荷と並列に接続し、両抵抗に発生する電圧を共通の非反転増幅器あるいは差動増幅器で増幅するようにしてなることを特徴とするものである。

(作用)

第1図は本発明の原理説明図で、最終段にパワーマOS FET Q を用いた出力駆動回路14と電流検出回路10およびその前段の回路13を示してある。但し、トランジスタ TR' がコレク

ト電流 I' を検出するとき用いる。但し、第9図と異なるのは、オン時の電流検出精度が向上するため、差動増幅器 DIF を省略して直接 R' の電圧を抵抗 R_0 で加算して非反転増幅器 AMP へ入力できる点である。各抵抗の定数を

$$R_2 > R_1, R_1 > R' > R_0$$

$$R_2 = R_1 \cdot \frac{R'}{R_0}$$

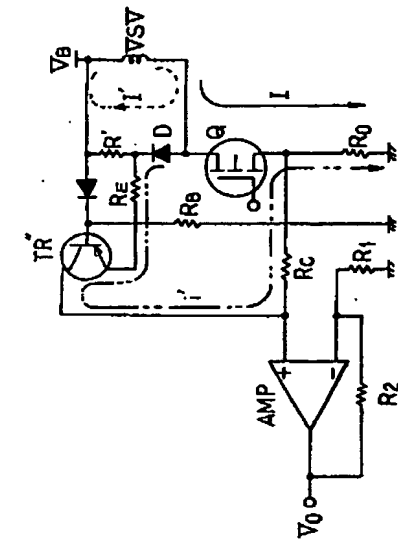
と設定すると、増幅器 AMP の出力 V_0 は

$$\text{オン時: } V_0 \approx \frac{R_2}{R_1} \cdot I \cdot R_0$$

$$\text{オフ時: } V_0 \approx \frac{R_2}{R_1} \cdot I' \cdot R'$$

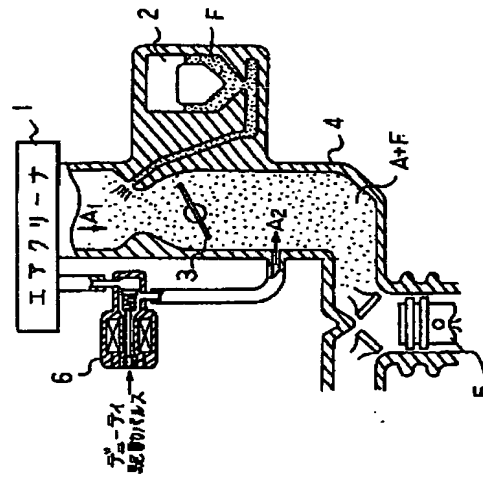
となる。

第3図は本発明の他の実施例で、非反転増幅型の回路図である。本例ではオフ時の電流 I' をPNPトランジスタ TR' で電流 I' に変換して抵抗 R_0 に流し、これを非反転増幅器 AMP で増幅する。オン時の電流 I は直接抵抗 R_0 に流れる。第3図で、



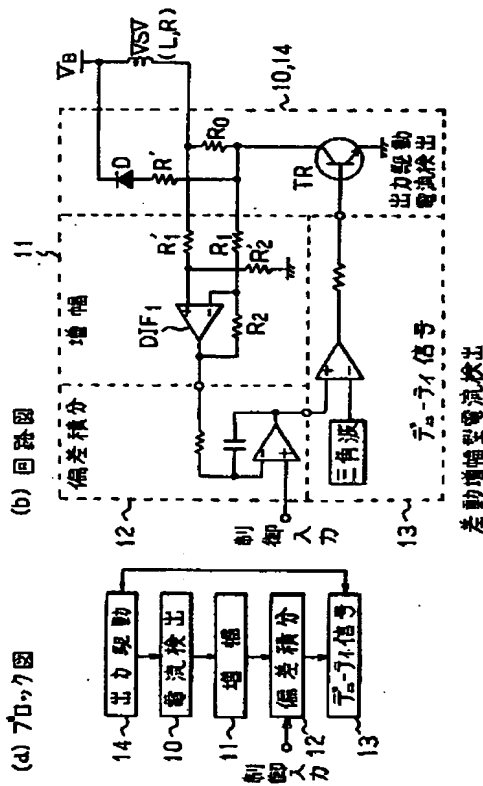
本発明の実施例(差分増幅器型)

第3図

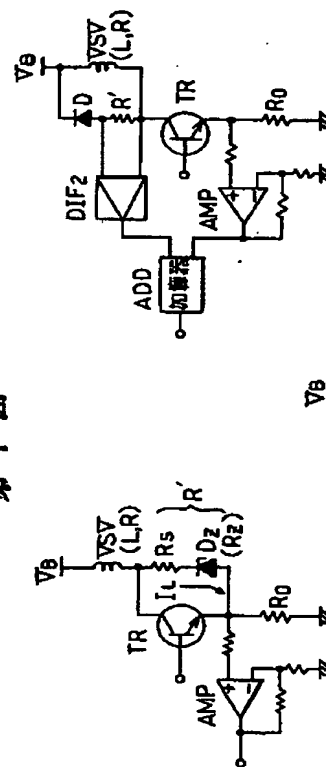


変換比フィードバック補正システム

第4図

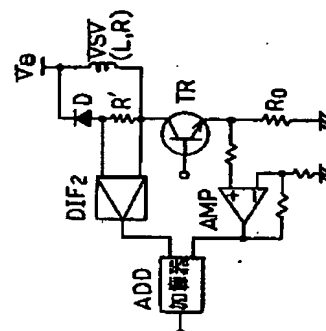


第7図



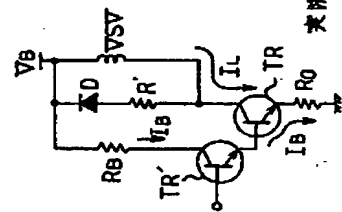
中反転増幅型電流検出

第8図



加算増幅型電流検出

第9図



実際の出力回路

第10図

THIS PAGE BLANK (USPTO)